

SCHEDA DELL'INSEGNAMENTO (SI)

"ARCHITETTURA DEI SISTEMI INTEGRATI"

SSD ING-INF/01

DENOMINAZIONE DEL CORSO DI STUDIO: CORSO DI LAUREA MAGISTRALE IN INGEGNERIA
ELETTRONICA

ANNO ACCADEMICO 2023-2024

INFORMAZIONI GENERALI - DOCENTE

DOCENTE: ANTONIO G. M. STROLLO

TELEFONO: 081-7683125

EMAIL: ANTONIOGIUSEPPEMARIA.STROLLO@UNINA.IT

INFORMAZIONI GENERALI - ATTIVITÀ

ANNO DI CORSO (I, II, III): I

SEMESTRE (I, II): I

CFU: 9

INSEGNAMENTI PROPEDEUTICI (se previsti dall'Ordinamento del CdS)

Nessuno.

EVENTUALI PREREQUISITI

Conoscenza di base dei circuiti digitali, delle principali caratteristiche dei dispositivi MOS e delle logiche CMOS.

OBIETTIVI FORMATIVI

Nell'ambito del corso viene studiato il flusso di progetto dei circuiti integrati digitali, a partire dalla descrizione mediante linguaggi per la descrizione dell'hardware fino all'implementazione fisica. L'insegnamento si pone l'obiettivo di fornire agli studenti le metodologie e le conoscenze utili a disegnare i moderni microcircuiti ad alta scala di integrazione, valutarne le caratteristiche, ottimizzarne le prestazioni e definirne le procedure di verifica.

RISULTATI DI APPRENDIMENTO ATTESI (DESCRITTORI DI DUBLINO)

Conoscenza e capacità di comprensione

Il percorso formativo intende fornire agli studenti le conoscenze e gli strumenti metodologici necessari a completare il flusso di sviluppo di un sistema digitale integrato. In particolare, lo studente sarà edotto sugli standard utilizzati per realizzare descrizioni sintetizzabili utilizzando linguaggi per la descrizione dell'hardware, sulle tecniche di valutazione ed ottimizzazione dei ritardi e della dissipazione di potenza, sulle varie architetture per implementazione di circuiti aritmetici e sulle principali metodologie di testing. Tali strumenti consentiranno agli studenti di comprendere le principali relazioni che sussistono tra l'implementazione fisica dei sistemi integrati e le loro caratteristiche elettriche.

Capacità di applicare conoscenza e comprensione

Al termine del processo di apprendimento lo studente è in grado di progettare ed analizzare a livello architetturale, circuitale e fisico circuiti e sistemi digitali ad alta scala di integrazione. Egli disporrà degli strumenti metodologici e operativi necessari a descrivere mediante linguaggi HDL un sistema digitale, ad approntarne il test-bench ed a realizzarne la simulazione. Lo studente sarà inoltre in grado di definire gli opportuni vincoli necessari ad effettuare la fase di sintesi, di utilizzare programmi di sintesi automatica e di valutare i risultati forniti dal sintetizzatore. Il percorso formativo è orientato a trasmettere le capacità e gli strumenti metodologici e operativi necessari ad applicare concretamente le varie tecniche volte ad ottimizzare le prestazioni dei sistemi digitali, in termini di velocità, area occupata e consumo energetico.

Autonomia di giudizio, Abilità comunicative, Capacità di apprendimento

Al termine del corso lo studente deve essere in grado di sapere scegliere in maniera autonoma le possibili metodologie e tecniche da utilizzare nelle varie fasi del ciclo di progettazione di un sistema digitale ad alta scala di integrazione; dovrà inoltre avere la capacità di valutare i risultati derivanti dall'applicazione delle varie tecniche di ottimizzazione ed essere in grado di confrontare le prestazioni di diverse architetture.

Gli studenti saranno in grado di approfondire autonomamente argomenti trattati. La metodologia di verifica ed il confronto con il docente tendono inoltre a sviluppare le abilità comunicative degli studenti che devono dimostrare di saper impostare una relazione scientifica utilizzando terminologia e linguaggio appropriato.

PROGRAMMA-SYLLABUS

Classificazione dei sistemi integrati: full-custom, basati su celle standard e programmabili. Metodologie di progetto di sistemi integrati. Tecniche automatiche di sintesi e di piazzamento e collegamento di celle standard.

Caratteristiche dei transistori MOS di ultima generazione. Tecniche di simulazione switch-level. Valutazione semplificata dei ritardi delle porte logiche.

Analisi statica dei ritardi. Grafi dei ritardi. Caratterizzazione dei ritardi delle celle standard. Livelli di interconnessione e parametri parassiti. Valutazione dei ritardi introdotti dalle interconnessioni mediante la tecnica di Elmore. Ripetitori. Effetti dello scaling tecnologico sui ritardi delle interconnessioni. Cross-talk. Distribuzione delle linee di alimentazione.

Progetto e temporizzazione di sistemi sequenziali. Tempi caratteristici dei registri. Registri avanzati. Tecniche di pipelining. Effetti delle non idealità del clock (skew, jitter) sulla temporizzazione dei sistemi sequenziali. Generazione e distribuzione del clock. Anelli ad aggancio di fase (PLL) e ad aggancio di ritardo (DLL).

Valutazione della dissipazione di potenza nei sistemi VLSI. Fonti di dissipazione di potenza statica e dinamica. Tecniche per la riduzione della dissipazione di potenza a livello tecnologico, circuitale ed architetturale.

Il linguaggio VHDL per la descrizione e la sintesi di sistemi integrati. Statements sequenziali e concorrenti. La simulazione event-driven. Librerie standard per la sintesi di sistemi digitali. Descrizione e sintesi di circuiti aritmetici. Test-bench.

Operazioni su file di testo.

Testing dei sistemi integrati CMOS. Modelli di guasto. Algoritmi per il calcolo dei vettori di test. Tecniche di self-test.

Circuiti aritmetici. Addizionatori a selezione del ritardo, carry-skip, parallel-prefix. Addizionatori multi-operando.

Moltiplicatori paralleli. Moltiplicatori veloci (Wallace, Dadda).

MATERIALE DIDATTICO

- Weste, Harris, "CMOS VLSI Design – circuit and systems perspective", 4th edition, Pearson – Addison Wesley, 2011
- Appunti delle lezioni
- Testi delle esercitazioni

MODALITÀ DI SVOLGIMENTO DELL'INSEGNAMENTO

Il corso prevede lezioni frontali, esercitazioni e, compatibilmente con gli aspetti organizzativi, esercitazioni di laboratorio.

Per lo svolgimento delle esercitazioni gli studenti adottano programmi di sviluppo di sistemi integrati della Cadence, resi disponibili grazie alle "Cadence Low-Cost Classroom Teaching Licenses" acquisite mediante Europractice. Gli studenti inoltre utilizzano un simulatore vhdl (ghdl) ed un visualizzatore di forme d'onda (gtkwave) open-source.

VERIFICA DI APPRENDIMENTO E CRITERI DI VALUTAZIONE

a) Modalità di esame:

L'esame si articola in prova	
scritta e orale	
solo scritta	
solo orale	✓
discussione di elaborato progettuale	
altro (discussione esercitazioni)	✓